



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 1 月 2 7 日
Date of Application:

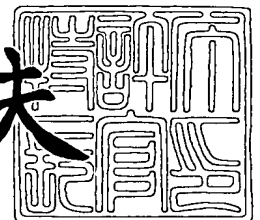
出 願 番 号 特 願 2 0 0 3 - 3 9 6 5 8 0
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 9 6 5 8 0]

出 願 人 富 士 電 機 ホ ー ル デ ィ ン グ ス 株 式 会 社
Applicant(s):

2 0 0 4 年 2 月 1 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 9 5 6 4

【書類名】 特許願
【整理番号】 03P01599
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 29/78
【発明者】
 【住所又は居所】 神奈川県横須賀市長坂二丁目 2 番 1 号 富士電機アドバンスステ
 クノロジー株式会社内
 【氏名】 根本 道生
【発明者】
 【住所又は居所】 神奈川県横須賀市長坂二丁目 2 番 1 号 富士電機アドバンスステ
 クノロジー株式会社内
 【氏名】 武井 学
【発明者】
 【住所又は居所】 神奈川県横須賀市長坂二丁目 2 番 1 号 富士電機アドバンスステ
 クノロジー株式会社内
 【氏名】 内藤 達也
【特許出願人】
 【識別番号】 000005234
 【氏名又は名称】 富士電機ホールディングス株式会社
【代理人】
 【識別番号】 100088339
 【弁理士】
 【氏名又は名称】 篠部 正治
【先の出願に基づく優先権主張】
 【出願番号】 特願2003-106734
 【出願日】 平成15年 4月10日
【手数料の表示】
 【予納台帳番号】 013099
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9715182

【書類名】特許請求の範囲

【請求項 1】

第1導電型ドリフト層の表面に選択的に形成された第2導電型ベース層と、該第2導電型ベース層の表面に選択的に形成された第1導電型エミッタ領域と、前記第1導電型ドリフト層と第1導電型エミッタ領域とに挟まれる前記第2導電型ベース層の表面に被覆されるゲート絶縁膜と該ゲート絶縁膜を介して被覆されるゲート電極とを含むMOSゲート構造と、前記MOSゲート構造を前記第1導電型ドリフト層を介して取り囲み前記第1導電型ドリフト層の表裏面をつなぐように形成される第2導電型分離領域と、減厚した前記第1導電型ドリフト層の裏面に形成され、該裏面に露出する前記第2導電型分離領域に連結される第2導電型コレクタ層とを備えた逆阻止型半導体装置において、前記第2導電型ベース層と接触するエミッタ電極の接触部分の最外端と、前記第2導電型分離層の最内端との距離Wが、前記第1導電型ドリフト層の深さ方向の厚さdよりも大きいことを特徴とする逆阻止型半導体装置。

【請求項 2】

少なくとも前記第2導電型ベース層に欠陥が導入されていることを特徴とする請求項1記載の逆阻止型半導体装置。

【請求項 3】

前記逆阻止型半導体装置の少数キャリアのライフタイムが短くなるように該逆阻止型半導体装置全面に一樣に欠陥が導入されていることを特徴とする請求項1記載の逆阻止型半導体装置。

【請求項 4】

請求項3に記載の逆阻止型半導体装置を形成するのに、電子線照射エネルギーが5MeV以下、照射量が100kGy以下の電子線照射によって欠陥が導入されることを特徴とする逆阻止型半導体装置の製造方法。

【請求項 5】

請求項1に記載の第2導電型分離層を形成するために、第2導電型を示す元素を選択的に導入する形成方法において、前記第1導電型ドリフト層の表面に形成する拡散マスクとなる酸化膜の膜厚 X_{ox} が、

【数 1】

$$X_{ox} > \sqrt{\frac{D_{ox}}{D_s}} X_s \quad \dots \text{式 (1)}$$

ただし D_{ox} : 半導体酸化膜中の前記元素の拡散係数

D_s : 半導体中の前記元素の拡散係数

X_s : 半導体中の前記元素の拡散深さ

の条件を満たす拡散マスクを用いて第2導電型を示す元素を選択的に導入することを特徴とする逆阻止型半導体装置の製造方法。

【請求項 6】

第1導電型ドリフト層の表面に選択的に形成された第2導電型ベース層と、該第2導電型ベース層の表面に選択的に形成された第1導電型エミッタ領域と、前記第1導電型ドリフト層と第1導電型エミッタ領域とに挟まれる前記第2導電型ベース層の表面に被覆されるゲート絶縁膜と該ゲート絶縁膜を介して被覆されるゲート電極とを含むMOSゲート構造と、前記MOSゲート構造を前記第1導電型ドリフト層を介して取り囲み前記第1導電型ドリフト層の表裏面をつなぐように形成される第2導電型分離領域と、減厚した前記第1導電型ドリフト層の裏面に形成され、該裏面に露出する前記第2導電型分離領域に連結される第2導電型コレクタ層とを備えた逆阻止型半導体装置において、電子線照射量が20kGy～60kGyとして少なくとも前記第2導電型ベース層に欠陥が導入されることを特徴とする



逆阻止型半導体装置の製造方法。

【書類名】 明細書

【発明の名称】 逆阻止型半導体装置およびその製造方法

【技術分野】

【0001】

本発明は電力変換装置などに使用されるパワー半導体装置に関する。さらに詳しくはFZウエハを用いて製造される、双方向の耐压特性を有する双方向IGBTデバイス又は逆阻止型IGBTデバイスに関する。

【背景技術】

【0002】

従来のプレーナ型pn接合構造を有するIGBT（絶縁ゲート型バイポーラトランジスタ）は、主要な用途であるインバータ回路やチョッパ回路では、直流電源下で使用されるので、順方向の耐压さえ確保できれば問題はなく、素子設計の段階から逆方向耐压確保を考慮せずに作られていた。

しかし、最近、半導体電力変換装置において、AC（交流）／AC変換、AC／DC（直流）変換、DC／AC変換を行うため、直接リンク形変換回路等のマトリクスコンバータの用途に双方向スイッチング素子を使用することにより、回路の小型化、軽量化、高効率化、高速応答化および低コスト化を図る研究がなされるようになった。そこで、逆耐压IGBTを逆並列接続して前記双方向スイッチング素子とするために、逆耐压を持ったIGBTが要望されるようになった。

【0003】

図8はマトリクスコンバータの回路図であり、（a）は3相分のスイッチ部分を示す回路図であり、（b）は（a）の1スイッチを通常のIGBTを用いて構成した回路図であり、（c）は（a）の1スイッチを双方向の耐压特性を有する双方向IGBTを用いて構成した回路図である。図8（b）において、従来のIGBTは、有効な逆阻止能力を確保するような素子設計および製造方法がとられていないために、逆耐压を確保するために、IGBT1a、1bに直列に順方向のダイオード2a、2bをそれぞれ接続して変換装置を構成する必要がある、ダイオードも含めた発生損失が大きくなり、変換装置の変換効率の低下を招き、また、素子点数が多くなり、変換装置の小型化、軽量化、低コスト化が困難であった。そこで、図8（c）に示すように逆阻止型IGBT1c、1dを用いると直列に接続するダイオードを不要とすることができる。

【0004】

図7は、逆阻止型IGBTの要部断面図であり、（a）は逆電圧を印加した場合の断面図であり、（b）は順電圧を印加した場合の断面図である。図7において、n⁻ドリフト層3となるn型FZウエハの表面および裏面から深いp⁺型分離領域11を拡散で形成し、その後n⁻ドリフト層3の表面に選択的にp⁺ベース層4を複数形成し、そのp⁺ベース層4の表面に選択的にn⁺エミッタ領域5を形成し、更にゲート酸化膜6、ゲート電極7及びエミッタ電極8等表面側のMOSゲート構造を形成する。このMOSゲート構造の形成後、逆阻止耐压が600Vとしてn⁻ドリフト層3を裏面から100μm程度に減厚し、減厚後裏面からp⁺コレクタ層9をイオン注入及びアニールによって形成する。このIGBTは、デバイス側面の切断部10が高濃度p⁺分離領域11で囲まれているので、逆電圧を印加した際にも空乏層12がp⁺コレクタ層9とp⁺分離領域11におけるpn接合部近辺までしか拡がらず、デバイス側面の切断部10に現れることがなく、デバイス表面にのみ電界が発生する。従って十分な逆耐压を得ることが可能である。（下記特許文献1～4、非特許文献1参照）なお、このp⁺分離領域11がない通常のIGBTでは、エミッタをグランド電位としコレクタを負電位とする逆バイアスを加えると、p⁺コレクタ層9の基板端部で電界が集中し、漏れ電流が増加することで、十分な逆耐压が得られない。

【0005】

この図7のようなデバイスを図8（c）のように逆並列に接続すると、双方向の電流を

制御でき、双方向の印加電圧にも耐えられる、双方向デバイスとして機能させることができる。双方向デバイスをAC-AC変換器に適用すると直接変換が可能になり、従来のコンバータ+コンデンサ+インバータから構成される変換回路に比べて装置のサイズが縮小でき、コストダウンが可能になる。双方向デバイスはIGBTおよび還流ダイオードとして機能させることができる。

特にフリーホイールダイオード(FWD)動作時の逆回復時には、コレクタ側から伸びる空乏層によって蓄積過剰キャリアが掃き出されるため、コレクタ側のキャリア量が多いと逆回復ピーク電流が大きくなり、ハードリカバリーになる。逆阻止型IGBTをFWDとして使用するには、逆回復特性の改善が必須である。この逆回復改善を目的に、裏面コレクタ層を低濃度かつ低温活性にて形成する方法が知られている。(下記特許文献4参照)

【特許文献1】特開平7-307469号公報

【特許文献2】特開2001-185727号公報

【特許文献3】特開2002-76017号公報

【特許文献4】特開2002-353454号公報

【非特許文献1】エム・タケイ (M. Takei)、外2名、「600V-IGBTウイズ・リバース・ブロッキング・ケイパビリティ (with Reverse Blocking Capability)」、プロシーディングス・オブ・2001・インターナショナル・シンポジウム・オン・パワー・セミコンダクタ・デバイセス・アンド・アイシーズ・オオサカ (Proceedings of 2001 International Symposium on Power Semiconductor Devices & ICs, Osaka) 2001年、P. 413-416

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、ダイオード動作では、濃度の高い P^+ 分離領域からもホールが注入されるため、裏面コレクタ層を低注入化してもダイオード動作が改善されないことが分かった。このため、 P^+ 分離領域からのホールの注入を抑える構造が必要である。

一方、図7(a)のように逆バイアス(エミッタ側を正、コレクタ側を負)を印加したときの逆漏れ電流は、PNPトランジスタのオープンベーストランジスタ増幅率のうち、エミッタ側のエミッタ注入効率に依存する。このエミッタ注入効率は、 n^+ エミッタ領域5と n^+ エミッタ領域5との間で p^+ ベース層4がエミッタ電極と接触する表面層部分に形成される p^+ 層(図示せず)でほぼ決まる。この p^+ 層(図示せず)は、 n^+ エミッタ領域5より深く p^+ ベース層4より浅くかつ p^+ ベース層4より高濃度とする。この p^+ 層は、ラッチアップの防止を目的として、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上の極めて高い濃度にて形成されるため、エミッタ注入効率は0.9以上と高い値を示す。従って、特に高温ではこの漏れ電流が 10 mA/cm^2 以上となり、通常の100倍以上の漏れ電流となってしまう。また、 p^+ ベース層4の下部に n^+ 層(プレーナ型の場合： p^+ ベース層4を覆う深さの n^+ 層、トレンチ型の場合： p^+ ベース層4と n^- ドリフト層3との間で、 n^- ドリフト層3よりも濃度の高い n^+ 層)を形成すると、上記エミッタ注入効率を低下できるが、プレーナ型の場合この n^+ 層のためにオフ時の電界強度減少分が大きく、耐圧が低くなってしまう。よって、より容易に上記逆もれ電流を低減する必要がある。

また、 p^+ 分離領域の形成においては、従来の場合、分離領域形成時の拡散マスクとしての酸化膜厚さが十分でなく、 1250°C での高温拡散のとき、ボロンが酸化膜を突き抜け、酸化膜形成領域の表面側にも p^+ 層が形成されてしまうことがあった。このため、正常なMOS構造が形成できずに、IGBTとしてオンしないチップができてしまうことがあった。

【0007】

本発明は、これらの問題点に鑑みてなされたものであり、その目的は、分離領域の逆回復ピーク電流への影響をなくし、十分ソフトなりカバリーを示す耐圧構造にすることができ、逆阻止型IGBTの本質的である、逆漏れ電流の増加を抑え、しかもオン電圧も十分小さい値で抑えることが可能な逆阻止型半導体装置を提供することである。

【課題を解決するための手段】

【0008】

このため、本発明は、第1導電型ドリフト層の表面に選択的に形成された第2導電型ベース層と、該第2導電型ベース層の表面に選択的に形成された第1導電型エミッタ領域と、前記第1導電型ドリフト層と第1導電型エミッタ領域とに挟まれる前記第2導電型ベース層の表面に被覆されるゲート絶縁膜と該ゲート絶縁膜を介して被覆されるゲート電極とを含むMOSゲート構造と、前記MOSゲート構造を前記第1導電型ドリフト層を介して取り囲み前記第1導電型ドリフト層の表裏面をつなぐように形成される第2導電型分離領域と、減厚した前記第1導電型ドリフト層の裏面に形成され、該裏面に露出する前記第2導電型分離領域に連結される第2導電型コレクタ層とを備えた逆阻止型半導体装置において、前記第2導電型ベース層と接触するエミッタ電極の接触部分の最外端と、前記第2導電型分離層の最内端との距離Wが、前記第1導電型ドリフト層の深さ方向の厚さdよりも大きいこととする。

【0009】

また、少なくとも前記第2導電型ベース層に欠陥が導入されているとよい。

また、前記逆阻止型半導体装置の少数キャリアのライフタイムが短くなるように該逆阻止型半導体装置全面に一樣に欠陥が導入されているとよい。

更に、逆阻止型半導体装置を形成するのに、電子線照射エネルギーが5MeV以下、照射量が100kGy以下の電子線照射によって欠陥が導入されることとする。

また、第2導電型分離層を形成するために、第2導電型を示す元素を選択的に導入する形成方法において、前記第1導電型ドリフト層の表面に形成する拡散マスクとなる酸化膜の膜厚 X_{ox} が、

【0010】

【数1】

$$X_{ox} > \sqrt{\frac{D_{ox}}{D_s}} X_s \quad \dots \text{式(1)}$$

ただし D_{ox} : 半導体酸化膜中の前記元素の拡散係数

D_s : 半導体中の前記元素の拡散係数

X_s : 半導体中の前記元素の拡散深さ

【0011】

の条件を満たす拡散マスクを用いて第2導電型を示す元素を選択的に導入する。

一般に、コレクタ側からホールが注入されるとき、ホールは距離の短いところを流れようとする。そのため分離領域とエミッタ電極の表面コンタクト領域、すなわちいわゆる活性部までの耐圧領域の距離がn⁻ドリフト層の厚さより長いと、ホールは分離領域からよりも、活性部の真下に位置するコレクタ層から注入されて表側エミッタ電極にかけての部分が流れやすくなる。よって、相対的に分離領域から活性部へのホール注入は少なくなる。さらに、分離領域と活性部との距離が、少数キャリア（この場合ホール）のアンビポーラ拡散長よりも長くなれば、分離領域から注入されたホールの濃度は、表エミッタ層に向かって十分減衰するので、分離領域からの注入は無視できるようになる。

一方、欠陥を導入するとライフタイムが減少するため、少なくともp⁺ベース層4に欠陥を導入すると表側のエミッタ注入効率を減少することができる。ただし、表側に局所的に欠陥を導入すると、損失トレードオフを悪化させてしまうので、むしろデバイス全面の深さ方向に広くかつ一樣に欠陥を導入するとよく、その場合電子線照射にするとよい。更に、もともと裏面コレクタ層を低注入化しているため、電子線照射量が多すぎるか、加速電圧が高すぎるとダメージが多くライフタイムが小さくなりすぎて、オン電圧が増加する。よって照射時の加速電圧が5MeV以下で照射量が100kGy以下ならば、オン電圧の増加を最小

に抑えて逆漏れ電流を抑制できる。電子線照射量は、好ましくは20kGy～60kGyとする。

【発明の効果】

【0012】

本発明により、分離領域の逆回復ピーク電流への影響をなくし、十分ソフトなりカバリーを示す耐圧構造にすることができ、逆阻止型IGBTの本質的である、逆漏れ電流の増加を抑え、しかもオン電圧も十分小さい値で抑えることが可能となる効果を奏する。よって、低損失であるだけでなく、より扱いやすいマトリックスコンバータの作成が可能となる逆阻止型半導体装置を提供できる効果を奏する。

【発明を実施するための最良の形態】

【0013】

図1は本発明の実施例の逆阻止型IGBTの分離領域と活性部との距離 W と n^- 型ドリフト層の深さ方向の厚さ d との関係を示す要部断面図であり、図2は600V耐圧の逆阻止型IGBTに実施したときの、分離領域と活性部との距離 W と、ダイオード動作時の逆回復電流との関係を示した特性図である。図2において、横軸は分離層と活性部との距離 W と、 n^- ドリフト層厚さ d との比で、 W は厳密には表側エミッタ電極が p^+ ベース層4との接触している部分の最も外端の位置と、 p^+ 分離領域11と n^- ドリフト層3との表面における境界位置との距離であり、図1に W として示している。縦軸は、逆回復時のピーク電流を、 W/d が4、さらに W がアンビポーラ拡散長 L_a の2倍のときの値で規格化している。ここで、逆回復時の印加電圧 V_{cc} は100Vとした。

ここで、IGBTの構造は、次の通りである。厚さ525 μm で不純物濃度が $1.5 \times 10^{14} cm^{-3}$ のFZウェハの n^- ドリフト層3の表面に、厚さ16000オングストロームの初期酸化膜を形成し、デバイス周辺部の幅100 μm の領域を選択的にエッチングし、表面にボロンソースを塗布して熱処理することで、ボロンのデポジションを行う。ボロンガラスエッチングを行い酸化膜中のボロンを除去した後、1200°C以上の温度において酸素雰囲気中で深さ120 μm までボロンを拡散して p^+ 分離領域11を形成する。 p^+ ベース層4、 n^+ エミッタ領域5、ゲート酸化膜6、ゲート電極7およびエミッタ電極8等の通常のIGBTのMOSゲート構造を表面側に形成する。その後裏面を削り、ウェハ厚を100 μm にする（IGBTの耐圧が1200V程度の場合は180 μm 程度の厚さとする）。その後裏面に $1 \times 10^{13} cm^{-2}$ のボロンをイオン注入して350°Cで1時間のアニールを行い、ピーク濃度が $1 \times 10^{17} cm^{-3}$ で厚さが1 μm 程度の p^+ コレクタ層9を形成する。最後にコレクタ電極を形成して逆阻止型IGBTが製造される。また裏面ボロンイオン注入後に、500mJ～4J/cm²のエキシマレーザを照射して裏面コレクタ層を活性化することも可能である。本実施例の構造では、 W は80 μm ～400 μm とした。

【0014】

W/d が1以下、つまり活性部から分離領域までの距離が n^- ドリフト層3厚さ d よりも小さくなると、急激に逆回復ピーク電流が増加する。分離領域迄の距離が短くなると、分離領域からのホールの注入が相対的に裏面コレクタ層からの注入よりも多くなる。これは、裏面 p^+ コレクタ層9よりも2桁以上分離領域の方のアクセプタ濃度が高く、かつ分離領域から表エミッタ電極までの距離の方がドリフト厚よりも短くなるため、ホールが分離領域から注入する方が低抵抗となるからである。よってIGBTがオンしているときのキャリア分布では、裏面側の濃度が相対的に増加する。それが反映して、逆回復時にピーク電流の増加となる。

さらに、ライフタイム低減をしない、いわゆるノンキラーの場合に比べて、ライフタイム低減をする場合はさらに逆回復ピーク電流は低くなる。図2において、ノンキラーの場合のアンビポーラ拡散長は $L_{a1}=194 \mu m$ 、電子線を4Mrad (=40kGy) 照射したときのアンビポーラ拡散長は $L_{a2}=82 \mu m$ となる。 n^- ドリフト層厚 d はほぼ100 μm である。電子線を照射する方が、さらに逆回復電流は減少している。

【0015】

図3は、逆漏れ電流 R_{ICES} の電子線照射量依存性を示した図である。逆漏れ電流は、順方向の通常IGBTの漏れ電流よりも大きい。これは、一つはエミッタ電極と接触する p^+ 層

が高濃度なため、もう一つは裏面コレクタ層の低温活性時の残留欠陥（ダメージ）のためである。図4は、上述の600V逆阻止型IGBTに、逆バイアスを800V印加したときの等電位線の分布である。0V線は表面から約30 μ mのところに分布し、それより表側は空乏化していない電荷の中性領域である。従来の技術の項でも説明したようにp⁺層は、ラッチアップ防止のため、通常 1×10^{19} atoms/cm³以上の濃度で形成される。RI_{CES}は、以下のように記述できる。

【0016】

【数2】

$$RI_{CES} = \beta(I_{gen_n} + I_{gen_p}) + I_{diff} \quad \dots \text{式 (2)}$$

【0017】

【数3】

$$\beta = \frac{1}{1 - \gamma\alpha_T} \cong \frac{1}{1 - \alpha_T} \cong \frac{2D_h\tau_p}{W_D^2} \quad \dots \text{式 (3)}$$

【0018】

【数4】

$$I_{gen_n} = \frac{qn_iAW}{2\tau_{sc}} \quad \dots \text{式 (4)}$$

【0019】

Aは活性部面積、Wは空乏層幅、 τ_{sc} 空間電荷領域の生成ライフタイムである。電子線照射による支配的な捕獲準位はギャップ中心からは十分浅く、 t_p は τ_{sc} に対して十分短い。よってRI_{CES}は電子線照射により小さくできる。

図3の横軸は、電子線照射量 (Mrad、1Mrad=10kGy)、縦軸は逆漏れ電流RI_{CES}である。裏面p⁺コレクタ層を熱活性 (350℃ 1時間) させた場合の、ゲートが無バイアス(G-Eショート)、ゲートGE間に+15V印加時、さらに裏面p⁺コレクタ層をレーザ活性した時のゲート+15V印加時について、プロットしている。この図から、逆漏れ電流は、ゲートをエミッタとショートするほうが、+15V印加する場合よりも高いことがわかる。これは、GE間に+15V (閾値7.5V) 印加して反転層を形成し、n⁺エミッタ層とn⁻ドリフト層をショートすることで、PINダイオード構造を並列に構成することになり、表面のホール注入効率が減るからである。しかしながら、実機コンバータ動作上、ゲートを無バイアスの状況でも逆漏れ電流を小さくすることが望ましい。図3より、電子線照射をすると、GE間無バイアスでの逆漏れ電流が減少し、10Mrad (=100kGy) でGE間+15Vの場合とほぼ同じとなることが分かる。これは、上述のPNPトランジスタ部の増幅率を低減した効果を示すものである。さらに、レーザ照射により裏面p⁺コレクタ層近傍を完全再結晶化させると、さらに1/3以下に逆漏れ電流を抑えることができている。これも、上述の、p⁺層による発生電流を抑えた効果である。一方、IGBTのオン電圧は、EI未照射が2.0Vであり、10Mradで2.2Vであり、20Mradで2.8Vとなり、10Mradまではオン電圧の増加を10%以下で抑えている。

【0020】

次に、高濃度のp⁺分離領域を選択的に形成するためのマスクとなるSiO₂酸化膜厚について述べる。上述のように、プロセス初期に酸化膜を形成し、p⁺分離領域を形成する部分を選択的にエッチングする。このとき必要な酸化膜厚は、次のように求めることができる。拡散源存在下における不純物濃度分布は

【0021】

【数5】

$$N_{Si}(x_{Si}, t) = N_0 \operatorname{erfc}\left(\frac{x_{Si}}{2\sqrt{D_{Si}t}}\right) \quad \dots \text{式 (5)}$$

【0022】

で与えられる。Nは不純物濃度、 N_0 は表面不純物濃度、 x_{Si} は(シリコン中の)表面からの距離、 D_{Si} はシリコン中のボロンの拡散係数、 t は拡散時間である。拡散係数 D_{Si} は

【0023】

【数6】

$$D_{Si} = D_{\infty} \exp\left(-\frac{E_a}{kT}\right) \quad \dots \text{式 (6)}$$

【0024】

であり、 D_{∞} は定数、 E_a は活性化エネルギー、 k はボルツマン定数、 T は絶対温度である。 E_a は約3.7eVである。また1300°Cにおける拡散係数は $1.0 \times 10^{-11} \text{ cm}^2/\text{s}$ である。600Vクラスの逆阻止型IGBTでは120mmの拡散深さが必要である。実際の拡散では、表面不純物濃度が $1.2 \times 10^{19} \text{ cm}^{-3}$ 、拡散温度1300°C、拡散時間83時間で、拡散深さ120mmが得られた。式(5)において不純物濃度 N がn型ウェハドーピング濃度($=1.5 \times 10^{14} \text{ cm}^{-3}$)に等しいとすると(すなわちpn接合部)、 $N/N_0 = 1.25 \times 10^{-5}$ であり、図5の相補誤差関数(erfc)の図を用いて、 $x_{Si}=104\text{mm}$ が得られる。実験とおよそ一致している。熱酸化膜中におけるボロン拡散も同様に

【0025】

【数7】

$$N_{ox}(x_{ox}, t) = N_0 \operatorname{erfc}\left(\frac{x_{ox}}{2\sqrt{D_{ox}t}}\right) \quad \dots \text{式 (7)}$$

【0026】

で表される。 x_{ox} は酸化膜表面からの距離、 D_{ox} は酸化膜中のボロンの拡散係数である。酸化膜中のボロン活性化エネルギーは約3.5eVである。1300°Cにおける拡散係数は $1.29 \times 10^{-15} \text{ cm}^2/\text{s}$ である。1.6mmの熱酸化膜をボロンが突き抜ける条件を計算してみる。式(7)において $x_{ox}=1.6\text{mm}$ において N がn型ウェハドーピング濃度($=1.5 \times 10^{14} \text{ cm}^{-3}$)に等しいとすると、図3を用いて $t=153$ 時間である。つまり150時間程度までは、1.6mm厚酸化膜でマスク可能であるといえる。実際はSi/SiO₂界面において、シリコン側の拡散係数が高いために酸化膜側からシリコン側に向けてボロン吸い出しが起これ、シリコン表面のボロン濃度はさらに減少する。プロセスシミュレーションによると、式(4)から得られる値よりも、濃度が一桁ほど減少する。つまり式(7)はより安全側の見積もりである。シリコンに $t=153$ 時間のボロン拡散を行った場合、式(1)より拡散深さは $x_{Si}=141\text{mm}$ である。すなわち1.6mm酸化膜をマスクとした場合、選択拡散可能な最大深さは141mmである。一般化して、拡散時間 t_d において厚さ X_{ox} の酸化膜の突き抜けが発生したとすると、式(7)より

【0027】

【数8】

$$N_{ox}(X_{ox}, t_d) = N_D = N_0 \operatorname{erfc}\left(\frac{x_{ox}}{2\sqrt{D_{ox}t_d}}\right) \quad \dots \text{式 (8)}$$

【0028】

である。 N_0 はn型シリコンドーピング濃度である。このときシリコン中で X_{Si} の拡散深さが得られたとすると、式(5)より

【0029】

【数9】

$$N_{Si}(X_{Si}, t_d) = N_D = N_0 \operatorname{erfc}\left(\frac{X_{Si}}{2\sqrt{D_{Si}t_d}}\right) \quad \dots \text{式(9)}$$

【0030】

である。式(5)と式(6)より

【0031】

【数10】

$$N_0 \operatorname{erfc}\left(\frac{X_{Si}}{2\sqrt{D_{Si}t_d}}\right) = N_0 \operatorname{erfc}\left(\frac{X_{ox}}{2\sqrt{D_{ox}t_d}}\right) \quad \dots \text{式(10)}$$

【0032】

となり、従って、

【0033】

【数11】

$$\frac{X_{Si}}{X_{ox}} = \sqrt{\frac{D_{Si}}{D_{ox}}} \approx 88 \quad (\text{at } 1300^\circ\text{C}) \quad \dots \text{式(11)}$$

【0034】

である。シリコン中の最大拡散深さは、マスク酸化膜厚が一定であれば、シリコン中および酸化膜中のボロン拡散係数比の平方根で決まる。表面濃度や拡散時間等のパラメータには一切依存しない。またボロン拡散の活性化エネルギーは、シリコン中と酸化膜中でほとんど同じであり(約3.5eV)、式(3)より温度を変えても拡散係数比はほとんど変化しない。以上の解析より、マスク酸化膜厚が決まれば、シリコン中の最大拡散深さは一義的に決まる。600V逆阻止型IGBTにおいては必要拡散深さは120nmであり、式(11)より必要最低酸化膜厚は13600オングストロームである。一方1200V逆阻止型IGBTにおいては必要拡散深さは200nmであり、必要最低酸化膜厚は22700オングストロームである。

これまでの解析は拡散源存在下における拡散を考えてきたが、デポジション後に拡散源を取り除いた場合、すなわちドライブインの場合はどうか。この場合の酸化膜中ボロン濃度分布は次式のようになる。

【0035】

【数12】

$$N_{ox}'(x_{ox}, t) = \frac{Q_{ox}}{\sqrt{\pi D_{ox}(t)}} \exp\left(-\frac{x_{ox}^2}{4D_{ox}(t)}\right) \quad \dots \text{式(12)}$$

【0036】

Q_{ox} は酸化膜中の総不純物量であり、デポ時間を t_p とすると式(5)より

【0037】

【数 13】

$$Q_{ox} = \int_0^{\infty} N(x_{ox}, t_p) dx = \frac{2}{\sqrt{\pi}} N_0 \sqrt{D_{ox} t_p} \quad \dots \text{式 (13)}$$

【0038】

である。式(13)を式(12)に代入すると

【0039】

【数 14】

$$N_{ox}'(x_{ox}, t) = \frac{2N_0}{\pi} \sqrt{\frac{t_p}{t}} \exp\left(-\frac{x_{ox}^2}{4D_{ox}t}\right) \quad \dots \text{式 (14)}$$

【0040】

シリコン中の拡散に関しても同様に

【0041】

【数 15】

$$N_{Si}'(x_{Si}, t) = \frac{2N_0}{\pi} \sqrt{\frac{t_p}{t}} \exp\left(-\frac{x_{Si}^2}{4D_{Si}t}\right) \quad \dots \text{式 (15)}$$

【0042】

である。拡散時間 t_d において厚さ X_{ox} の酸化膜の突き抜けが発生し、同時にシリコン中で X_{Si} の拡散深さが得られたとすると

【0043】

【数 16】

$$N_{Si}'(X_{Si}, t_d) = N_{ox}'(X_{ox}, t_d) \quad \dots \text{式 (16)}$$

【0044】

であり、式(14)及び式(15)から式(11)と全く同じ結果が得られ、最大拡散深さはマスク酸化膜厚で決まる。

図6は、本発明での逆阻止型IGBTの逆回復の動作を示す特性図である。

図9、図10は、異なる実施例であり、図9は電子線照射量と逆漏れ電流との関係を示した図、図10は電子線照射量とオン電圧との関係を示した図である。この実施例は、裏面に $5 \times 10^{13} \text{ cm}^{-2}$ のボロンをイオン注入して 400°C で1時間のアニールを行い、ピーク濃度が $1 \times 10^{17} \text{ cm}^{-3}$ で厚さが $1 \mu\text{m}$ 程度の p^+ コレクタ層9を形成したものである。

図9において、横軸は電子線照射量 (Mrad、1Mrad=10kGy)、縦軸は逆漏れ電流 R I c e s である。高速化を図るためにFZウエハの裏面を削る前に、電子線照射やヘリウム照射を行うが、電子線照射により逆漏れ電流の低減も図られる。電子線は、バルクに対して一様に欠陥を生成するため逆バイアス時の輸送効率を大幅に下げることができ、それにより電流増幅率が下がる。図9は、印加電圧600V (耐圧600V素子)、 125°C での逆漏れ電流の電子線照射量依存性であるが、電子線照射量を高くすればするほど、逆漏れ電流が低くなっていることが判る。2Mradを照射すると急激に逆漏れ電流が提言しているので、電子線照射量は2Mrad以上とするのがよい。しかしながら、電子線を照射すると、バルクに欠陥が生成され、オン電圧が高くなる。オン電圧はデバイスの重要な特性の1つであり、出来る限り低い方がよい。図10は、横軸が電子線照射量 (Mrad、1Mrad=10kGy)、縦軸がオン電圧である。電子線照射量を高くするとオン電圧は高くなっている。電子線照射量を6Mrad以上にすると、急激にオン電圧が上

昇している。オン電圧を低くするには、電子線照射量を 6 Mrad 以下にするのがよい。

【産業上の利用可能性】

【0045】

このような逆阻止型 IGBT を提供することにより、直列に接続するダイオードを用いることなくマトリクスコンバータを構成することができる。

【図面の簡単な説明】

【0046】

【図1】 本発明の実施例である逆阻止型半導体装置の模式的な要部断面図

【図2】 本発明の実施例における分離領域と活性部との距離 W と、ダイオード動作時の逆回復電流との関係を示した特性図

【図3】 逆漏れ電流 R_{ICE} の電子線照射量依存性を示す図

【図4】 本発明の実施例の 600 V 逆阻止型 IGBT に逆バイアスを 800 V 印加したときの等電位線の分布を示した図

【図5】 相補誤差関数を示した図

【図6】 本発明での逆阻止型 IGBT の逆回復の動作を示す特性図

【図7】 従来の逆阻止型 IGBT の要部断面図

【図8】 マトリクスコンバータの回路図

【図9】 逆漏れ電流 R_{ice} の電子線照射量依存性を示す図

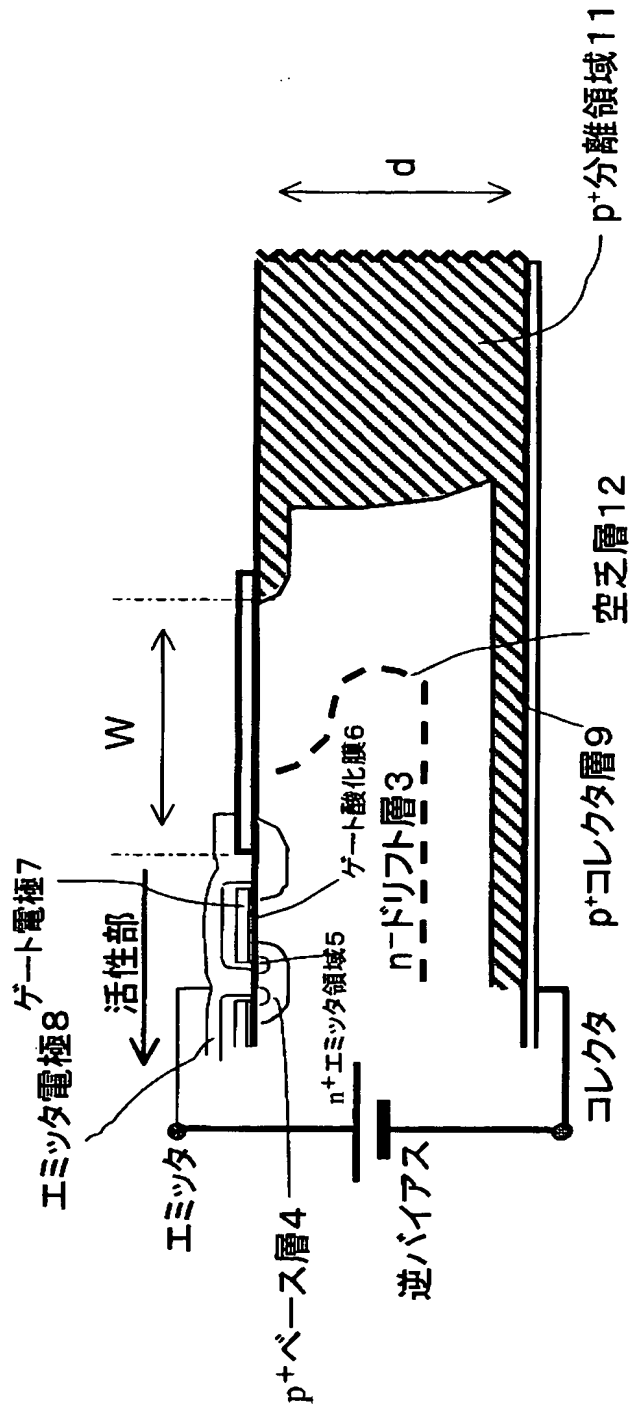
【図10】 オン電圧の電子線照射量依存性を示す図

【符号の説明】

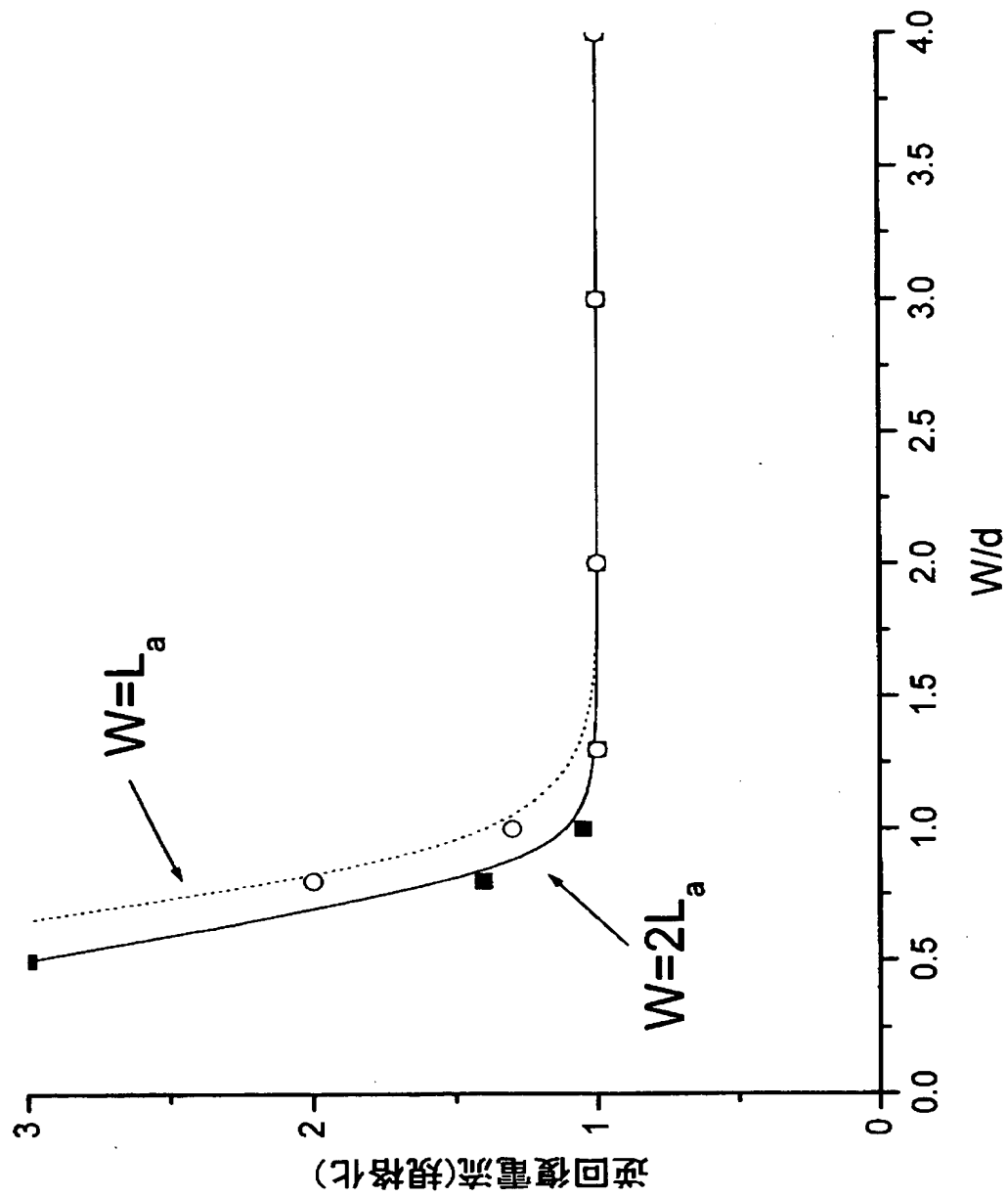
【0047】

1 a, 1 b, 1 c, 1 d	IGBT
2 a, 2 b	ダイオード
3	n^- ドリフト層
4	p^+ ベース層
5	n^+ エミッタ領域
6	ゲート酸化膜
7	ゲート電極
8	エミッタ電極
9	p^+ コレクタ層
10	切断部
11	p^+ 分離領域

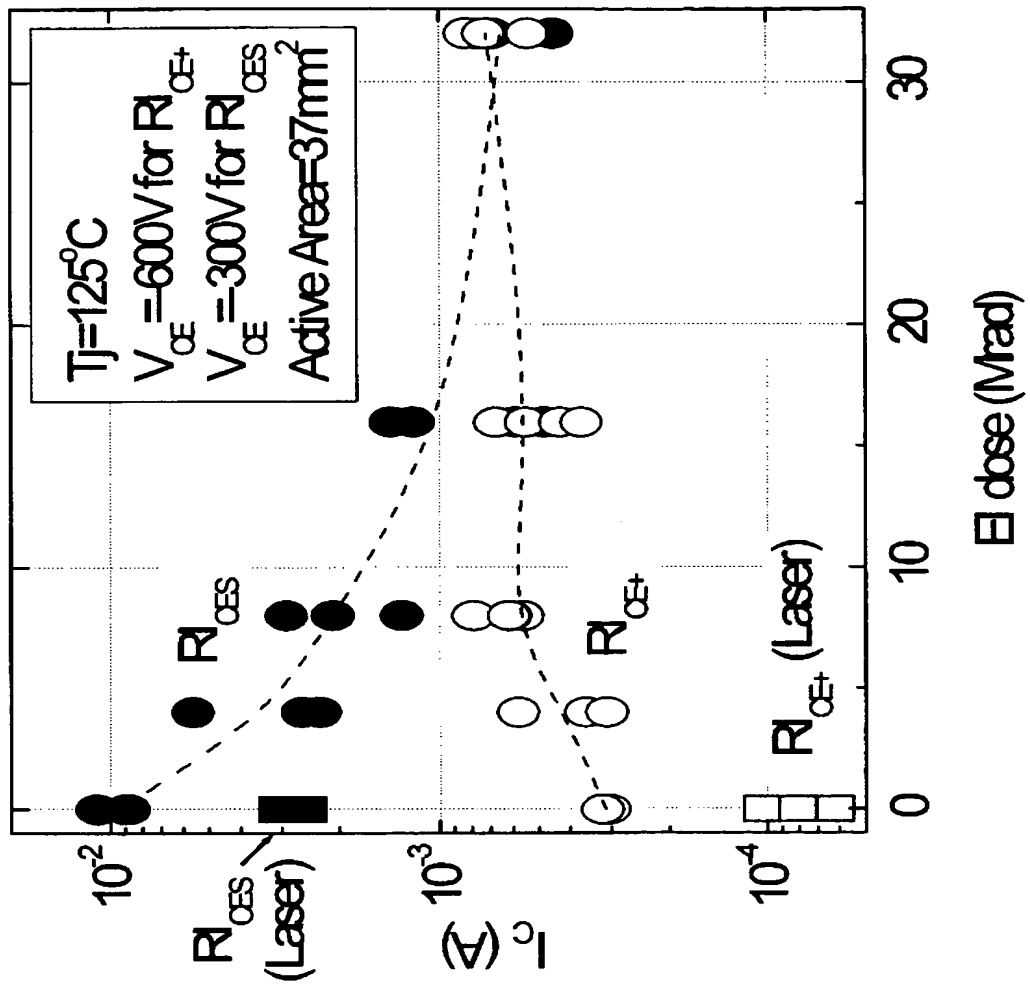
【書類名】 図面
【図 1】



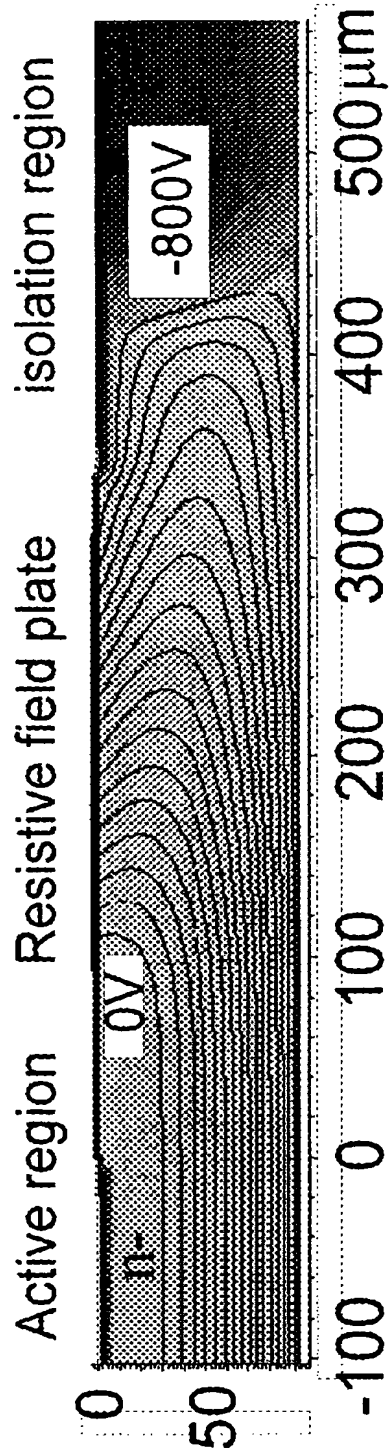
【図 2】



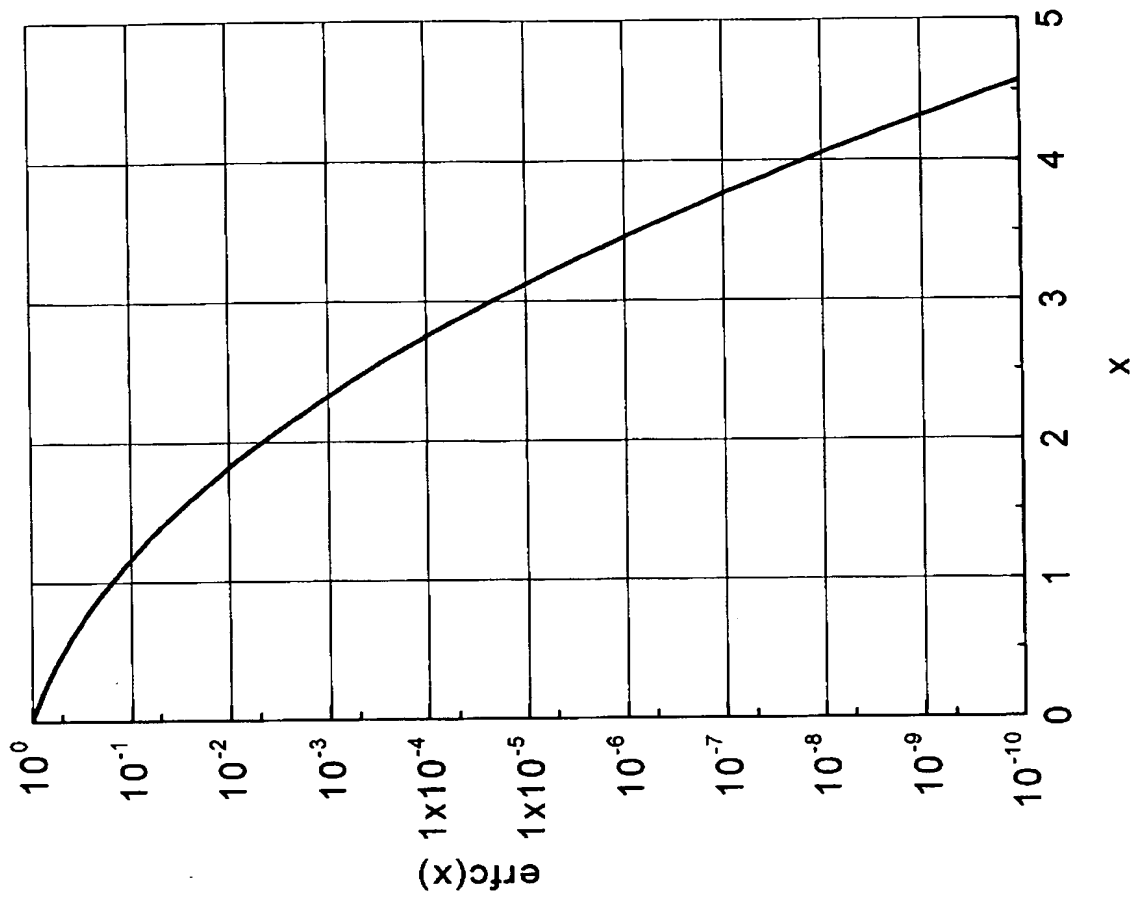
【図 3】



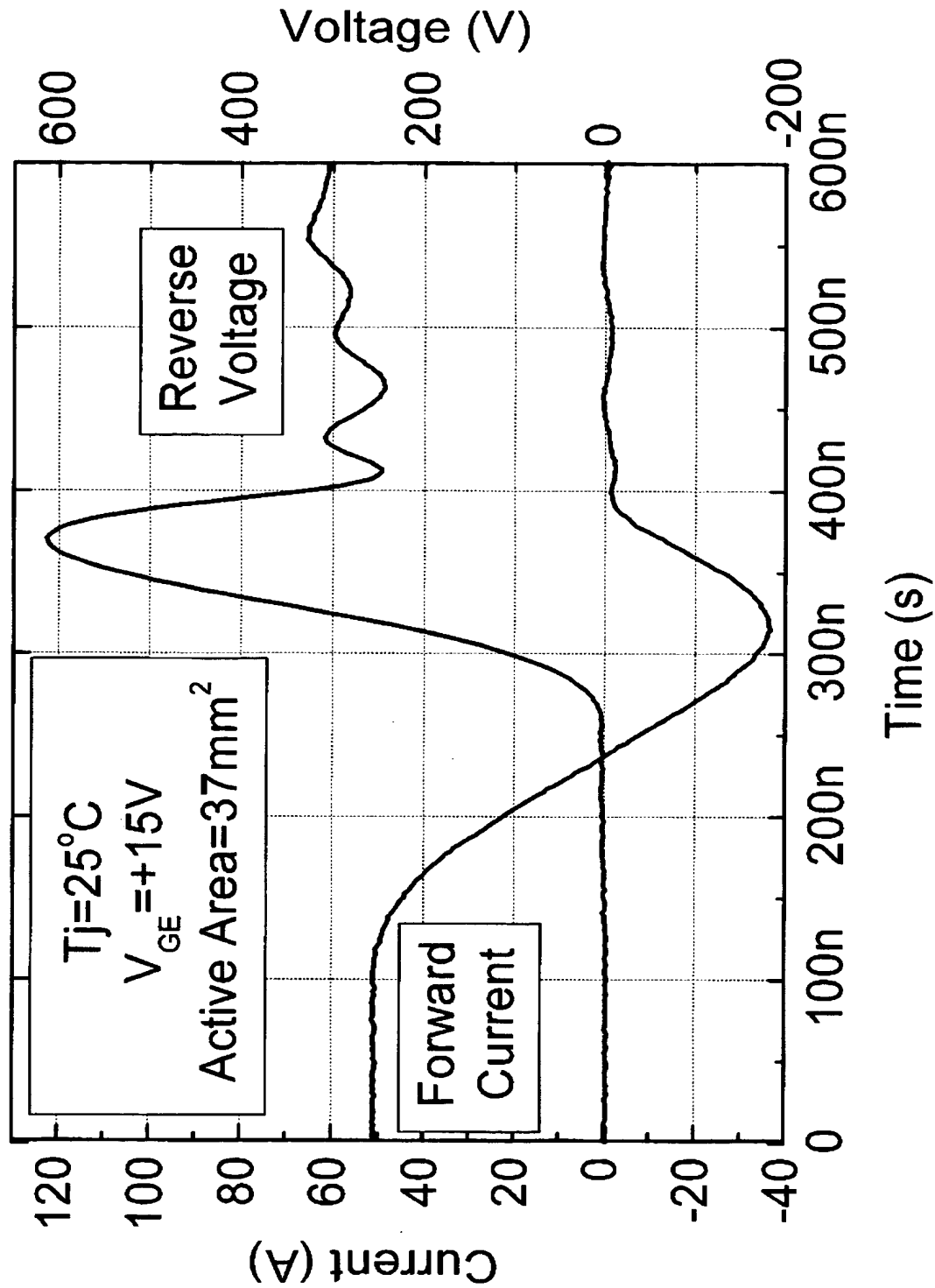
【図 4】



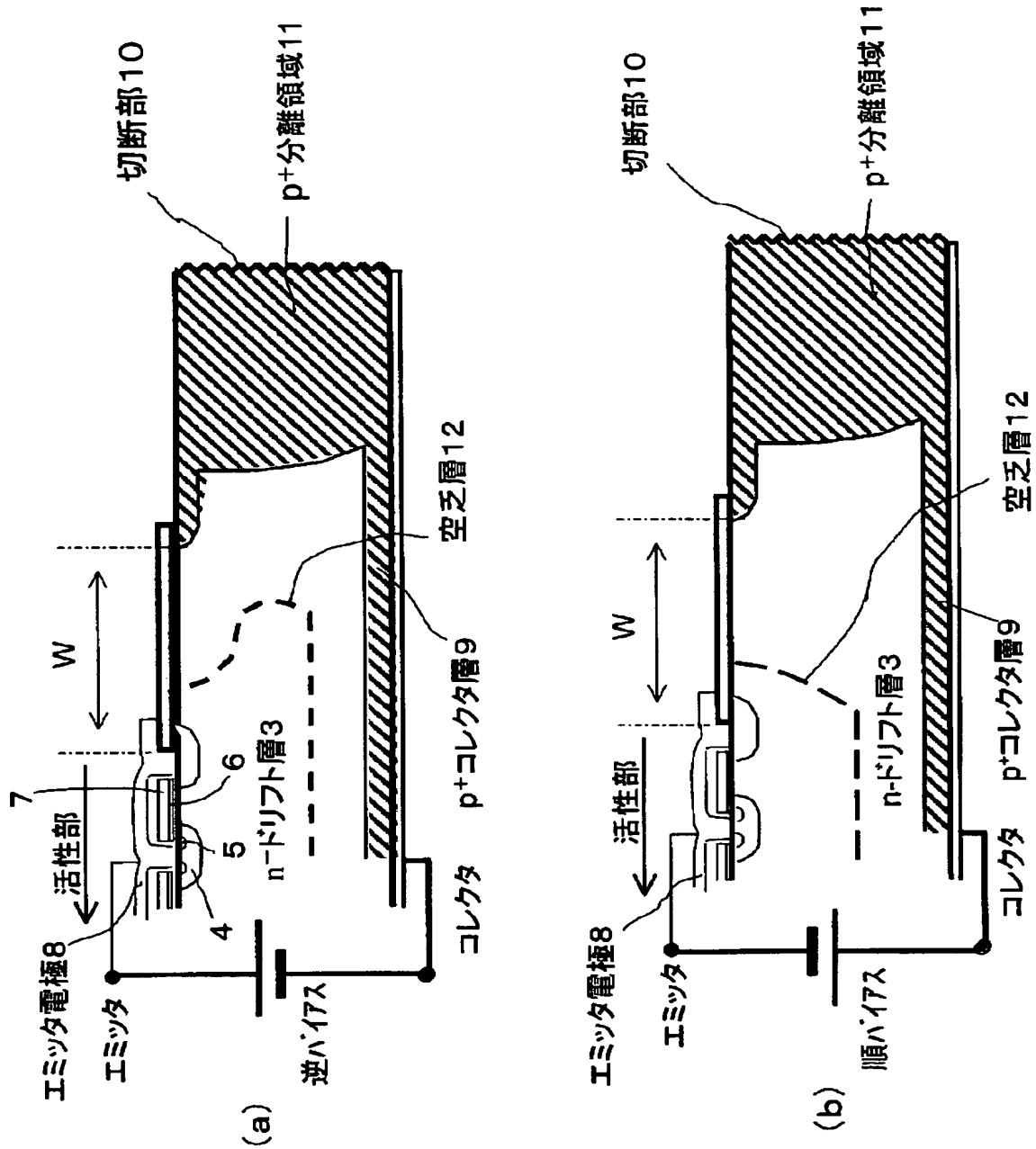
【図 5】



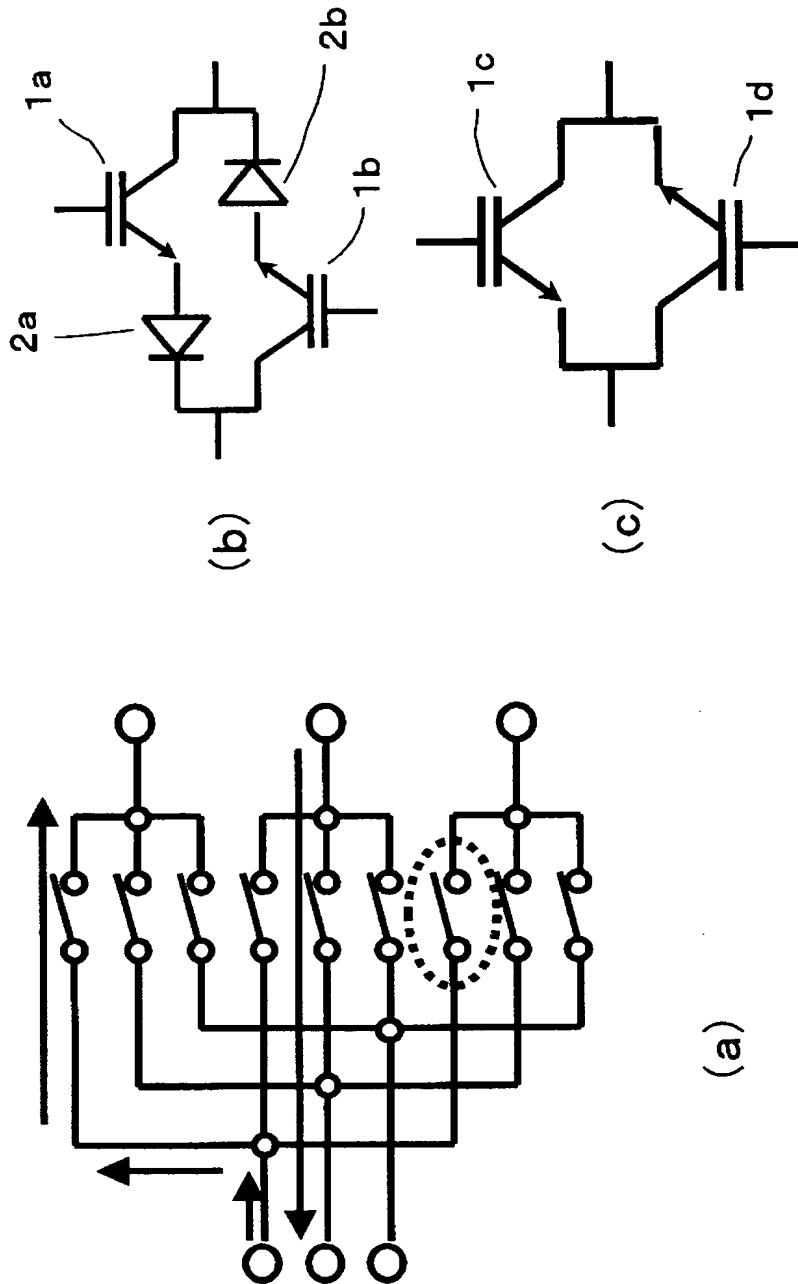
【図 6】



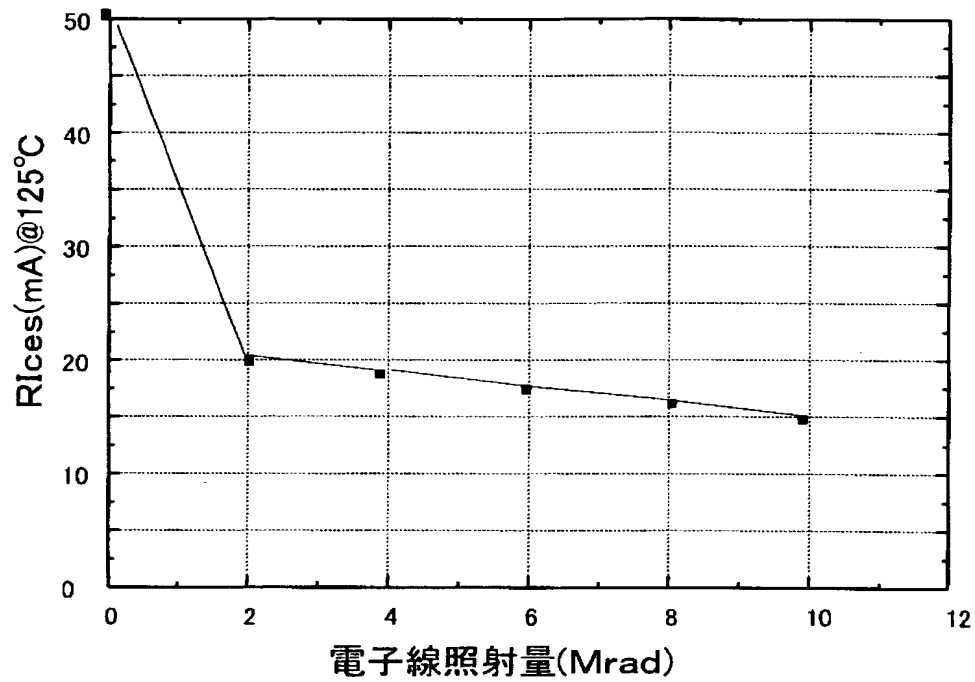
【図 7】



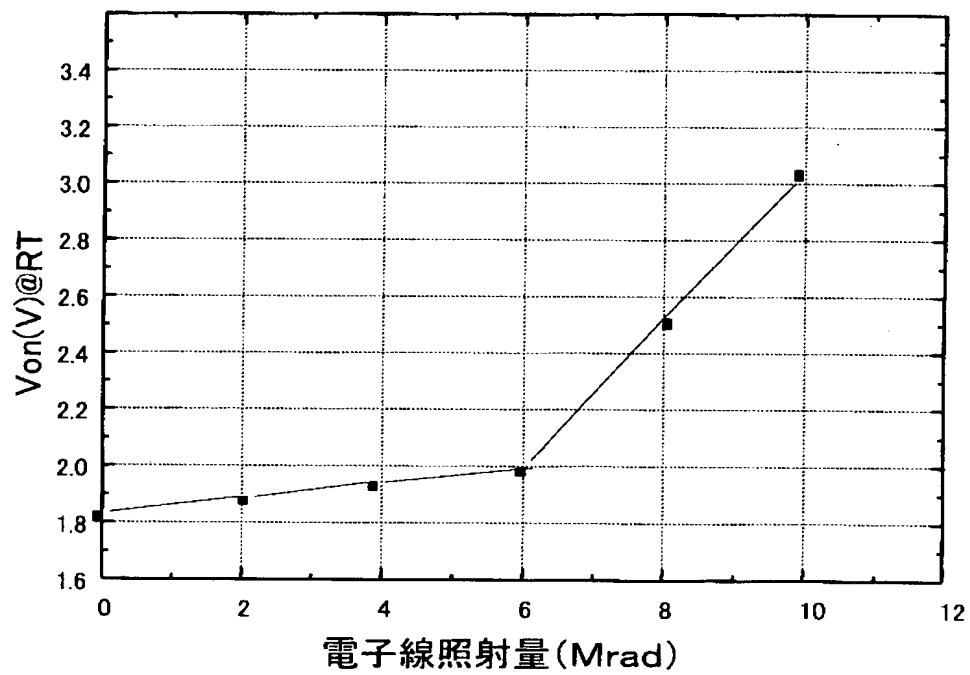
【図 8】



【図 9】



【図 10】



【書類名】要約書

【要約】

【課題】分離領域の逆回復ピーク電流への影響をなくし、十分ソフトなリカバリーを示す耐圧構造にすることができ、逆阻止型 IGBT の本質的である、逆漏れ電流の増加を抑え、しかもオン電圧も十分小さい値で抑えることが可能となるようにする。

【解決手段】 n^- ドリフト層 3 の表面に形成された p^+ ベース層 4 と、 p^+ ベース層 4 の表面に形成された n^+ エミッタ領域 5 と、 n^- ドリフト層 3 と n^+ エミッタ領域 5 とに挟まれる p^+ ベース層 4 の表面に被覆されるゲート酸化膜 6 と、ゲート酸化膜 6 を介して被覆されるゲート電極 7 とを含む MOS ゲート構造と、MOS ゲート構造を n^- ドリフト層 3 を介して取り囲み n^- ドリフト層 3 の表裏面をつなぐように形成される p^+ 分離領域 11 と、減厚した n^- ドリフト層 3 の裏面に形成され、裏面に露出する p^+ 分離領域 11 に連結される p^+ コレクタ層 9 とを備え、 p^+ ベース層 4 と接触するエミッタ電極 8 の接触部分の最外端と、 p^+ 分離層 11 の最内端との距離 W が、 n^- ドリフト層 3 の深さ方向の厚さ d よりも大きくする。

【選択図】

図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 3 9 6 5 8 0
受付番号	5 0 3 0 1 9 5 2 6 5 5
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 1 2 月 2 日

< 認定情報・付加情報 >

【提出日】 平成15年11月27日

【特許出願人】

【識別番号】 000005234

【住所又は居所】 神奈川県川崎市川崎区田辺新田 1 番 1 号

【氏名又は名称】 富士電機ホールディングス株式会社

【代理人】 申請人

【識別番号】 100088339

【住所又は居所】 東京都品川区大崎一丁目 1 1 番 2 号 富士テクノ
サーベイ株式会社内

【氏名又は名称】 篠部 正治

特願 2 0 0 3 - 3 9 6 5 8 0

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 3 4]

1. 変更年月日	2 0 0 3 年 1 0 月 2 日
[変更理由]	名称変更
住 所	神奈川県川崎市川崎区田辺新田 1 番 1 号
氏 名	富士電機ホールディングス株式会社